

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-036259

(43)Date of publication of application : 07.02.1997

(51)Int.Cl.

H01L 21/8247

H01L 29/788

H01L 29/792

H01L 27/115

(21)Application number : 07-184285

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 20.07.1995

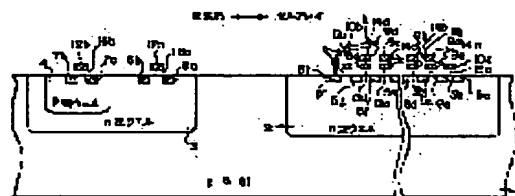
(72)Inventor : SHIRATA RICHIRO

## (54) NONVOLATILE SEMICONDUCTOR STORAGE DEVICE

## (57)Abstract:

PROBLEM TO BE SOLVED: To narrow the distributing width of the thresholds of memory cells even when writing is made at a high speed without verification so that readout can also be performed at a high speed.

SOLUTION: In an EEPROM having a memory cell array in which N-type wells 2 and 3 are separately provided in a periphery control section and cell array section on a p-type Si substrate 1 and electrically rewritable memory cells constituted by forming floating gates 8a-8d and control gates 9a-9d on the n-type well of the cell array section are arranged in a matrix-like state, the floating gates 8 are composed of Si layers doped with p-type impurities.



## LEGAL STATUS

[Date of request for examination] 01.03.2000

[Date of sending the examiner's decision of rejection] 07.01.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-36259

(43) 公開日 平成9年(1997)2月7日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/8247		H 0 1 L 29/78	3 7 1
	29/788		27/10	4 3 4
	29/792			
	27/115			

審査請求 未請求 請求項の数 5 O L (全 10 頁)

(21) 出願番号 特願平7-184285

(22) 出願日 平成7年(1995)7月20日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 白田 理一郎

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

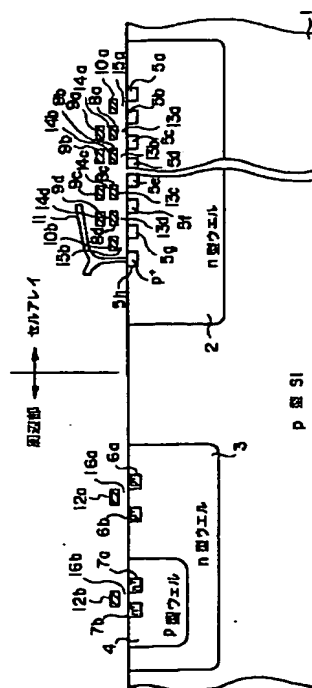
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【課題】 ベリファイなしで高速書き込みしてもメモリセルのしきい値分布幅を狭くすることができ、これにより高速読み出しも可能にする。

【解決手段】 p型Si基板1上にn型ウェル2、3を周辺制御部とセルアレイ部で別々に設け、セルアレイ部のn型ウェル2上に浮遊ゲート8と制御ゲート9を積層して構成された電氣的書き替え可能なメモリセルがマトリクス状に配置されたメモリセルアレイを有するEEPROMにおいて、浮遊ゲート8は、p型不純物をドーピングしたSi層より成る。



## 【特許請求の範囲】

【請求項1】 p型半導体基板にn型ウェルを周辺制御部とセルアレイ部で別々に設け、セルアレイ部のn型ウェル上に電荷蓄積層と制御ゲートを積層して構成された電氣的書き替え可能なメモリセルがマトリクス状に配置されたメモリセルアレイを有する不揮発性半導体記憶装置において、

前記電荷蓄積層は、ノンドープ又はp型不純物をドーピングした半導体より成ることを特徴とする不揮発性半導体記憶装置。

【請求項2】 n型半導体基板にセルアレイ部に対してp型ウェルを設け、このp型ウェルの内側にn型ウェルを設け、セルアレイ部のn型ウェル上に電荷蓄積層と制御ゲートを積層して構成された電氣的書き替え可能なメモリセルがマトリクス状に配置されたメモリセルアレイを有する不揮発性半導体記憶装置において、

前記電荷蓄積層は、ノンドープ又はp型不純物をドーピングした半導体より成ることを特徴とする不揮発性半導体記憶装置。

【請求項3】 前記メモリセルアレイは、複数のメモリセルをそれらのソース、ドレインを隣接するもの同士で共有する形で直列接続し、これを1単位としてビット線に接続するNAND型セルアレイ方式であることを特徴とする請求項1又は2記載の不揮発性半導体記憶装置。

【請求項4】 p型半導体基板又はp型ウェル上に電荷蓄積層と制御ゲートを積層して電氣的電氣的書き替え可能な複数のメモリセルを形成し、各メモリセルのソース又はドレインの一方がビット線と直接接続され、他方がソース線と直接接続されたセルアレイ構成を成す不揮発性半導体記憶装置において、

前記電荷蓄積層は、ノンドープ又はp型不純物をドーピングした半導体より成ることを特徴とする不揮発性半導体記憶装置。

【請求項5】 書き込み或いは消去動作として前記電荷蓄積層より半導体基板又は消去ゲートへ電子を抜く場合、前記電荷蓄積層の電界により一部に生じるエネルギーバンドの曲りの量が該電荷蓄積層のエネルギー・ギャップを越えないように、前記p型不純物濃度を濃くするか、又は前記電荷蓄積層の膜厚を薄くすることを特徴とする請求項1～4のいずれかに記載の不揮発性半導体記憶装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、電氣的書き替え可能な不揮発性半導体記憶装置（EEPROM）に係わり、特に電荷蓄積層と制御ゲートを積層したFET-MOS構造のメモリセルを有するEEPROMに関する。

## 【0002】

【従来の技術】 EEPROMの1つとして、高集積化が可能なNAND型EEPROMが知られている。これ

は、複数のメモリセルをそれらのソース、ドレインを隣接するもの同士で共有する形で直列接続し、これを1単位としてビット線に接続するものである。メモリセルは通常、浮遊ゲート（電荷蓄積層）と制御ゲートが積層されたFET-MOS構造を有する。メモリセルアレイは、n型基板上に形成されたp型ウェル内、若しくはp型基板上にn型ウェルを形成しさらにその上に形成されたp型ウェル内に集積形成される。

【0003】 複数のメモリセルを直列接続してなるNANDセルのドレイン側は選択ゲートを介してビット線に接続され、ソース側はやはり選択ゲートを介してソース線に接続される。メモリセルの制御ゲートは、行方向に連続的に配設されてワード線となる。ここで、浮遊ゲートは通常、多結晶シリコンにn型不純物をドーピングして形成される。

【0004】 このNAND型EEPROMの動作は、次の通りである。データ書き込みは、ビット線から最も離れた位置のメモリセルから順に行う。図10(a)

(b)に示すように、選択されたメモリセルの制御ゲートには高電圧 $V_{pp}$ （＝20V程度）を印加し、それよりビット線側にあるメモリセルの制御ゲート及び選択ゲートには中間電圧 $V_{ppm}$ （＝10V程度）を印加し、ビット線にはデータに応じて0V又は中間電圧 $V_m$ （＝8V程度）を与える。

【0005】 ここで、図中の8はメモリセルの浮遊ゲート、9はメモリセルの制御ゲート、17はn型Si基板、18はp型ウェル、10は選択トランジスタのゲート、21はn型拡散層である。

【0006】 図10(a)に示すように、ビット線に0Vが与えられた時、その電位は選択メモリセルのドレインまで転送されて、浮遊ゲート8に電子注入が生じる。これにより、選択されたメモリセルのしきい値は正方向にシフトする。この状態を例えば“0”とする。一方、図10(b)に示すように、ビット線に $V_m$ が与えられた時は電子注入が実効的に起こらず、従ってしきい値は変化せずに、負に止まる。この状態は消去状態で“1”とする。データ書き込みは制御ゲートを共有するメモリセルに対して同時に行われる。

【0007】 データ消去は、NANDセル内の全てのメモリセルに対して同時に行われる。即ち、全ての制御ゲート9を0Vとし、p型ウェル18を20Vとする。このとき、選択ゲート10、ビット線及びソース線も20Vにされる。これにより、全てのメモリセルで浮遊ゲート8の電子がp型ウェル18に放出され、しきい値は負方向にシフトする。

【0008】 データ読み出しは、選択されたメモリセルの制御ゲート9を0Vとし、それ以外のメモリセルの制御ゲート9及び選択ゲート10をある一定の正の電圧 $V_g$ （Read）（例えば電源電圧（ $V_{cc}$ ））として、選択メモリセルで電流が流れるか否かを検出することにより行

われる。

【0009】読み出し動作の制約から、図11に示すようにして“0”書き込み後のしきい値は0Vから $V_g$  (Read)の間に制御しなければならない。このため、書き込みベリファイが行われ、“0”書き込み不足のメモリセルのみを検出し、“0”書き込み不足のメモリセルに対してのみ再書き込みが行われるように、再書き込みデータを設定する(ビット毎ベリファイ)。“0”書き込み不足のメモリセルは、選択された制御ゲート9を例えば0.5V(ベリファイ電圧)にして読み出すこと(ベリファイ読み出し)で検出される。つまり、メモリセルのしきい値が0Vに対してマージンを持って、0.5V以上になっていないと、選択メモリセルで電流が流れ、“0”書き込み不足と検出される。

【0010】このように、書き込み動作と書き込みベリファイを繰り返しながらデータ書き込みを行うことで、個々のメモリセルに対して書き込み時間が最適化され、“0”書き込み後のしきい値は0Vから $V_g$  (Read)の間に制御される。

【0011】以上のように、従来のNAND型EEPROMにおいては、読み出し動作の制約から、“0”書き込み後のしきい値は0Vから $V_g$  (Read)の間に制御しなければならない。さらに、高速読み出しを行う場合には、読み出ししたいセルを含むNANDセルアレイ中の非選択セルの電流駆動能力は大きければ大きいほどよく、そのためには“0”書き込みセルの $V_{th}$ は単に0Vから $V_g$  (Read)の間に入っているだけでなく、 $V_g$  (Read) -  $V_{th}$ が大きくとれるよう、 $V_{th}$ は0V近傍に狭く制御されている必要がある。このため、書き込みベリファイという操作が必要であった。

【0012】書き込みベリファイを行うためには、ワード線に印加する $V_{pp}$ パルスを短かく分割し、1パルス印加した後に毎回“0”データが書込まれたか検出するためにデータ読み出しする必要がある。このように書き込みベリファイ方式では、書き込み途中に何回か読み出し動作が入るため、書き込みに要する時間が長くなってしまい、高速書き込みできないという問題があった。

【0013】高速書き込みを行うために、1回当りの $V_{pp}$ パルス印加時間を長くするか、又は $V_{pp}$ 電圧をより高くしパルス回数を減らしてベリファイ読み出し回数を減らすと、“0”書き込みセルの $V_{th}$ バラツキが大きくなり、場合によっては $V_{th}$ が $V_g$  (Read)より大きくなってしまふことがある。また、 $V_{th}$ が $V_g$  (Read)より小さく抑えられたとしても、 $V_g$  (Read) -  $V_{th}$ が小さいと高速読み出しはできなくなってしまうという問題があった。

【0014】

【発明が解決しようとする課題】このように従来のNAND型EEPROMにおいては、高速書き込みを行うために、 $V_{pp}$ を高くしたり1回のパルス印加時間を長くし

てベリファイ回数を減らすと“0”書き込みセルの $V_{th}$ バラツキが大きくなってしまい、 $V_{th}$ が $V_g$  (Read)より大きくなると誤読み出ししてしまう。また、 $V_{th}$ が $V_g$  (Read)より小さくても、 $V_g$  (Read) -  $V_{th}$ が小さいと高速読み出しができないという問題があった。

【0015】本発明は、上記の事情を考慮してなされたもので、その目的とするところは、ベリファイ回数を減らす又はベリファイをなくして高速書き込みしてもメモリセルのしきい値分布幅を狭くすることができ、よって高速読み出しも可能にするEEPROMを提供することにある。

【0016】

【課題を解決するための手段】

(概要) 上記課題を解決するために本発明は、次のような構成を採用している。即ち、本発明(請求項1)は、p型半導体基板にn型ウェルを周辺制御部とセルアレイ部で別々に設け、セルアレイ部のn型ウェル上に電荷蓄積層と制御ゲートを積層して構成された電氣的書き替え可能なメモリセルがマトリクス状に配置されたメモリセルアレイを有する不揮発性半導体記憶装置において、前記電荷蓄積層は、ノンドープ又はp型不純物をドープした半導体より成ることを特徴とする。

【0017】また、本発明(請求項2)は、n型半導体基板にセルアレイ部に対してp型ウェルを設け、このp型ウェルの内側にn型ウェルを設け、セルアレイ部のn型ウェル上に電荷蓄積層と制御ゲートを積層して構成された電氣的書き替え可能なメモリセルがマトリクス状に配置されたメモリセルアレイを有する不揮発性半導体記憶装置において、前記電荷蓄積層は、ノンドープ又はp型不純物をドープした半導体より成ることを特徴とする。

【0018】ここで、本発明の望ましい実施態様としては、次のものがあげられる。

(1) メモリセルアレイは、複数のメモリセルをそれらのソース、ドレインを隣接するもの同士で共有する形で直列接続し、これを1単位としてビット線に接続するNAND型セルアレイ方式であること。

(2) 書き込み或いは消去動作として電荷蓄積層より半導体基板又は消去ゲートへ電子を抜く場合、電荷蓄積層の電界により一部に生じるエネルギーバンドの曲りの量が電荷蓄積層のエネルギー・ギャップを越えないように、p型不純物濃度を濃くするか、又は電荷蓄積層の膜厚を薄くすること。

【0019】また、本発明(請求項4)は、p型半導体基板又はp型ウェル上に電荷蓄積層と制御ゲートを積層して電氣的電氣的書き替え可能な複数のメモリセルを形成し、各メモリセルのソース又はドレインの一方がビット線と直接接続され、他方がソース線と直接接続されたNORセルからなるメモリセルアレイを有する不揮発性半導体記憶装置において、前記電荷蓄積層は、ノンド-

10

20

30

40

50

プ又はp型不純物をドーブした半導体より成ることを特徴とする。

【0020】ここで、NORセルの代わりに、複数のメモリセルを並列接続し、そのソース・ドレインの一方を選択ゲートを介してビット線に、他方を直接ソース線に接続したDINORセルを用いることもできる。さらに、ソース・ドレインの一方を選択ゲートを介してビット線に、他方をやはり選択ゲートを介してソース線に接続したANDセルを用いることも可能である。

(作用) 本発明によれば、NANDセル等からなるメモリセルアレイを従来と反対のn型ウェル内に集積形成し、電荷蓄積層をノンドーブ又はp型不純物ドーブとしている。この場合、メモリセルは従来のn型MOSFETからp型MOSFETに変わる。書き込み、消去読み出し時にワード線及びビット線、ソース線及び基板とウェルに印加する電圧は、従来のものと絶対値が同じで正、負を逆転させれば良い。即ち、消去時には全ての制御ゲートを0Vとし、n型ウェルは $-V_{pp}$  ( $=-20V$ 程度) とする。制御ゲートに $+V_{pp}$ 、n型ウェルを0Vとしても良い。これにより、全てのメモリセルで基板より電荷蓄積層に電子が注入される。そして、セルの $V_{th}$ は正にシフトする。

【0021】書き込み時は、書き込むセルの制御ゲートには $-V_{pp}$  ( $=-20V$ 程度) を印加し、それよりビット側にあるメモリセルの制御ゲート及び選択ゲートには中間電圧 $-V_{ppm}$  ( $-10V$ 程度) を印加し、ビット線にはデータに応じて0V又は中間電圧 $-V_m$  ( $-8V$ 程度) を与える。

【0022】ビット線に0Vが与えられた時、選択されたメモリセルでは電荷蓄積層より基板へ電子が抜ける (“0”書き込みと名付ける。) が、抜ける量は最大量が決まっていて $V_{pp}$ の大きさにはよらない。つまり、消去時に電荷蓄積層に基板より注入された分の電子は書き込み時に抜けるが、それ以上には電荷蓄積層より基板へ電子は抜けない。何故ならば、電荷蓄積層にはn型不純物がドーブされていないので、伝導帯上にある自由電子は消去時に基板より電子注入された分しか存在しないからである。価電子帯上にある電子は酸化膜中の伝導帯からのバリアハイトが高すぎトンネルして行けない。

【0023】以上より“0”書き込み時、消去時に注入された全部の電子を浮遊ゲートより放出するようにしておけば、書き込み終了後は浮遊ゲートの電荷量はどの“0”書き込みセルでも一定しており、よって $V_{th}$ 分布幅は非常に狭く制御できる。

【0024】このように書き込み時“0”セルではベリファイしなくても、消去時浮遊ゲートに注入された電子を放出するに足るように $V_{pp}$ 電圧と書き込み時間を設定さえしておけば、自動的にしきい値は一定の値になる。セルのチャネルイオン注入する量を最適化して“0”書き込みセルのしきい値を0Vからほんの少し (例えば1

～0.3V) 下がった所に設定しておく。

【0025】ビット線に $-V_m$ が与えられた時、選択されたメモリセルでは電子放出が起こらず、従ってしきい値は変化せずに正に止まる。この状態は消去状態と同じしきい値のままであり“1”とする。データ書き込みは、制御ゲートを共有するメモリセルに対して同時に行われる。

【0026】データ読み出しは、選択されたメモリセルの制御ゲートを0Vとし、それ以外のメモリセルの制御ゲート及び選択ゲートにある一定の負の電圧 $-V_g$  (Read) (例えば $-V_{cc}$ ) を与え、選択メモリセルで電流が流れるか否かを検出することにより行う。

【0027】読み出し動作の制約から、セルのしきい値は正 (“1”データ) とするか又は負 (“0”データ) でかつ0Vから $-V_g$  (Read) の中に入るように制御されていなければならない。

【0028】以上のように、ベリファイなしで書き込めるので高速書き込みが可能で、かつ図9に示すように“0”書き込みセルのしきい値分布幅を非常に狭く抑えられるので、読み出し時セル電流を大きくとれるようにでき、よって高速読み出しが可能である。

【0029】このように本発明においては、電荷蓄積層をSi等の半導体で形成し、そこにp型不純物をドーブするか若しくは一切不純物をドーブしないようにし、かつn型ウェル内にセルアレイを設けることで、ベリファイなしで“0”書き込みセルのしきい値分布幅を自動的に狭く制御できるため、高速書き込みかつ高速読み出しが可能となる。

【0030】

【発明の実施の形態】以下、本発明の実施形態を図面を参照して説明する。

(実施形態1、2) 図1は、本発明の第1の実施形態に係わるNAND型EEPROMのメモリセル構造を示す断面図である。

【0031】p型Si基板 (半導体基板) 1上に、セルアレイ部とセルの書き込み/消去/読み出し時の電圧制御を行う周辺部とを別々に覆うように、n型ウェル2と3が形成されている。

【0032】セルアレイ部内では、n型拡散層5a～5hが選択トランジスタ及びメモリセルトランジスタのソース・ドレインを形成する。浮遊ゲート (電荷蓄積層) 8a～8dと制御ゲート9a～9dは積層形成され、浮遊ゲート8a～8dはトンネル酸化膜13a～13dによってn型ウェル2から絶縁され、制御ゲート9a～9dは、ゲート間絶縁膜14a～14dによって絶縁されている。

【0033】また、選択ゲート10a、10bは、n型ウェル2から絶縁膜15a、15bによって絶縁されている。ビット線11は、n型拡散層5hと接続されて選択トランジスタ及びメモリセルトランジスタと直角に延

10

20

30

40

50

びている。

【0034】周辺部はCMOS回路となるように、ウェル3の中にp型ウェル4が形成されている。周辺部において、n型MOSFETは6a、6bのp型拡散層と16aのゲート絶縁膜と12aのゲートから成り、p型MOSFETは7a、7bのn型拡散層と16bのゲート絶縁膜と12bのゲートから成る。なお、周辺部をCMOS回路にしないのであれば、p型ウェル4を形成する必要はない。

【0035】図2に、第2の実施形態の素子構造を示している。図2では、n型Si基板17上にセルアレイ部を覆うようにp型ウェル18が形成され、その中にn型ウェル19が形成される。周辺部はCMOS回路となるように、一部にp型ウェル20が形成される。これ以外\*

\*の構成は図1と実質的に同様である。

【0036】図3に、NAND型EEPROMにおけるメモリセルアレイの等価回路図を示す。ここで、WLはメモリセルトランジスタの制御ゲートとなるワード線、SGは選択トランジスタのゲート線、Sは共通ソース線、BLはビット線、Aは選択されたメモリセルを示している。

【0037】等価回路上では従来例と異なる点はないが、選択トランジスタとメモリセルトランジスタがn型MOSFETからp型MOSFETと変更されている。書き込み/消去/読み出しの各動作時の電圧関係を、下記の(表1)に示す。

【0038】

【表1】

ノード	一括消去	選択書き込み	選択読み出し
SGi,1	-Vpp	-Vppm	-Vg(read)
WLi,1	0V	-Vppm	
WLi,2	0V	-Vppm	
WLi,3	0V	-Vppm	↓
WLi,4	0V	-Vpp	0V
?	?	?	?
WLi,n	0V	-Vppm	-Vg(read)
SGi,2	-Vpp	0V	↓
S	フローティング	0V	0V
SGi+1,2	-Vpp	0V	0V
WLi+1,n	0V	0V	0V
?	?	?	?
WLi+1,4	0V	0V	0V
WLi+1,3	0V	0V	0V
WLi+1,2	0V	0V	0V
WLi+1,1	0V	0V	0V
SGi+1,1	-Vpp	0V	0V
BL1	フローティング	0V	Vbit
BL2	フローティング	-Vm	Vbit
nウェル	-Vpp	0V	0V
p-基板	-Vpp	0V or -Vcc	0V or -Vcc

【0039】従来例と異なる点は、各ノードの電圧を正から負へと極性を反対にした点である。ここでは、選択書き込み時にA1セルに“0”データを、A2セルに“1”データを書き込むものとした。また、 $-V_{pp} < 0V$ 、 $-V_{pp} < -V_m < 0V$ 、 $-V_{pp} < -V_{ppm} < 0V$ 、 $V_{bit} < 0V$ 、 $V_g(\text{read}) < 0V$ とした。

【0040】図4に浮遊ゲート8にp型不純物をドーピングした場合のメモリセルの“0”データ書き込みセルの断

面図を示し、図5に図4のA-A'におけるエネルギーバンド図を示す。図5(a)は浮遊ゲート8へのp型不純物(以下、例としてボロンの場合とする)のドーピング濃度が高い場合、図5(b)はドーピング濃度が低い場合を示す。図5(a)(b)で破線はフェルミエネルギーレベルを示す。

【0041】図5(a)のxと図5(b)のx'は、浮遊ゲート8中でトンネル酸化膜との界面からの空乏化さ

れている領域を示す。空乏化されている領域が長く、そこでのバンドの曲りが図5(b)のように大きくSiのエネルギーギャップを越えると、浮遊ゲート8中でアバランシェないしツェナー破壊を起こす等で、電子・ホール対の発生頻度が大きくなる。すると、発生した電子がトンネル酸化膜13を通してSi基板中2又は19に抜けて行き、浮遊ゲート8中の電荷量が制御できなくなり、書き込み後のセルのしきい値がバラツキを持ってしまう。

【0042】よって、浮遊ゲート8中のバンドの曲りがSiのエネルギーギャップを越えないようにすることが\*

$$V_{FC} = -\{(q N_A / 2 \epsilon_{Si}) X^2 + (Q_1 / C_{ox}) + \phi_s - V_{FB}\} \dots (1)$$

となる。ここで、 $q$ は電子の電荷量、 $\epsilon_{Si}$ はSiの誘電率、 $N_A$ は浮遊ゲート8中のp型不純物濃度、 $Q_1$ は1ビット当りn型ウェル2又は19の表面に発生した正の電荷量、 $C_{ox}$ は1ビット当りの浮遊ゲート8とn型ウェル2又は19との間の容量、 $V_{FB}$ は浮遊ゲート8とn型ウェル2又は19の間の仕事関数差である。

【0044】 $C_{ox}$ は、トンネル酸化膜13の膜厚を $t_{ox}$ 、チャネル及びソース・ドレイン5と浮遊ゲート8とのオーバーラップ面積を $S_{ox}$ 、トンネル酸化膜13の誘電率を $\epsilon_{ox}$ とすると $C_{ox} = (\epsilon_{ox} / t_{ox}) \cdot S_{ox}$ となる。 $\phi_s$ はn型ウェル2又は19の表面でのバンドの曲りによるポテンシャル変化量である。

【0045】(1)式で $(q N_A / 2 \epsilon_{Si}) X^2$ がトンネル酸化膜13近傍での浮遊ゲート8のバンドの曲り量

$$Q_2 - Q_1 = C_{ox} (V_{FC} - V_{ox} + V_{FB}') + C_{ox} \{V_{FC} + (q N_A / 2 \epsilon_{Si}) X^2 + \phi_s - V_{FB}\} \dots (3)$$

となる。ここで、消去時に浮遊ゲート8に注入した電子が書き込み時n型ウェル2又は19に抜けた直後のエネルギーバンド図を考える。その時、浮遊ゲート8中のパ

$$C_i V_{FC} = C_{ox} (V_{ox} - V_{FB}') - C_{ox} \{(q N_A / 2 \epsilon_{Si}) X^2 + \phi_s - V_{FB}\} \dots (4)$$

となる。ここで、 $C_i = C_{ox} + C_{ox}$ である。この場合、 $Q_1$ は浮遊ゲート8のバンドの曲り箇所为空乏化し

$$Q_1 = q N_A X \cdot A_{ox} \dots (5)$$

(2)式、(4)式、(5)式より

$$\begin{aligned} Q_1 &= Q_2 \\ &= C_{ox} [(C_{ox} / C_i - 1) (V_{ox} - V_{FB}') \\ &\quad - (C_{ox} / C_i) \{(q N_A / 2 \epsilon_{Si}) X^2 + \phi_s - V_{FB}\}] \\ &= q N_A X \cdot A_{ox} \dots (6) \end{aligned}$$

となる。

【0048】ここで、 $C_{ox} = \gamma C_i$ とし $\gamma$ をカップリ

$$\begin{aligned} &(q N_A / 2 \epsilon_{Si}) X^2 \\ &+ (t_{ox} / \gamma \epsilon_{ox}) q N_A X + V_{ox} - V_{FB}' + \phi_s - V_{FB} = 0 \dots (7) \end{aligned}$$

となる。

【0049】(7)式において浮遊ゲート8でのバンドの曲り量 $(q N_A / 2 \epsilon_{Si}) X^2$ が臨界値の $V_{\text{臨}}$  (eV)

$$-V_{\text{臨}} = (t_{ox} / \gamma \epsilon_{ox}) q N_A X + V_{ox} - V_{FB}' + \phi_s - V_{FB} \dots (8)$$

(8)式を変形して、

\*必要となる。一つの方法として浮遊ゲート8のp型不純物の濃度を一定以上にする方法がある。その場合の不純物濃度を以下に見積る。ここでの条件は浮遊ゲート8の厚さは厚く、かつ不純物濃度は高いため、書き込み時浮遊ゲート8は図4のA-A'断面で見た時に全面空乏化していないということである。

【0043】その場合、ゲート間絶縁膜14近傍の浮遊ゲート8は電界遮蔽されてバンドの曲りはない。そこでの電圧を $V_{FC}$ とすると浮遊ゲート8をゲートとするp型MOSFETの電位は、

※で、この式は空乏層近似を用いている。ここで、トンネル酸化膜13の近傍の浮遊ゲート8で完全にn型ウェル2又は19で発生した電荷 $Q_1$ をシールドしているとすると、トンネル酸化膜13近傍の浮遊ゲート8で発生した電荷量は $-Q_1$ となる。一方、浮遊ゲート8と制御ゲート9との間の電位差で生じる電荷は、

$$C_{ox} (V_{FC} - V_{ox} + V_{FB}') = Q_2 \dots (2)$$

となる。ここで、 $C_{ox}$ は浮遊ゲート8と制御ゲート9との間の容量、 $V_{ox}$ は制御ゲート9の電圧、 $Q_2$ はゲート間絶縁膜14近傍で浮遊ゲート8に発生する正の電荷量、 $V_{FB}'$ は制御ゲート9と浮遊ゲート8間の仕事関数差を示す。

【0046】(1)式と(2)式より浮遊ゲート8中のトータルの電荷量は、

★ンドの曲り量がSiのバンドギャップを越えなければ良い。その時は浮遊ゲート8中のトータルの電荷量 $Q_2 - Q_1$ は0になるので

☆たことによる電荷と等しくなる。

【0047】

◆ング比と呼ぶ。(6)式を変形して、

\* $\omega_p$ がSiのバンドギャップエネルギー)の時の $N_A$ を求めると、(7)式より



$$N_A = \left\{ (V_{\alpha} - V_{n'} + \phi_s - V_{n} + V_{\text{cap}})^2 / 2 \epsilon_{\text{Si}} V_{\text{cap}} q \right\} \times (y^2 \epsilon_{\alpha}^2 / t_{\alpha}^2) \quad \dots (9)$$

$N_A$  が (9) 式より大きいと浮遊ゲート 8 中のバンドの曲りは  $V_{\text{cap}}$  より小さくなり、書き込み時に浮遊ゲート 8 中の電子正孔対の発生量は低く抑えられることによって、セルの“0”書き込み時のしきい値の分布幅は狭くできる。(9) 式で書き込み時にセルトランジスタの n 型 \*

$$N_A = \{ 3.6 \times 10^5 (y V_{\alpha})^2 \} / V_{\text{cap}} t_{\alpha}^2 \quad \dots (10)$$

となり、 $t_{\alpha} = y$  (nm),  $V_{\text{cap}} = 1$  (V) とする \*

$$N_A = 3.6 \times 10^{19} (y V_{\alpha})^2 y^{-2} / \text{cm}^3 \quad \dots (11)$$

となる。ここで、(11) 式に代入する  $V_{\alpha}$  と  $y$  をノンディメンジョンの値とする。 $N_A$  が (11) 式より大きな値を持つと浮遊ゲート 8 中のバンドの曲り量は Si のエネルギー \*

$$X = (2 \epsilon_{\text{Si}} V_{\text{cap}} / q N_A)^{1/2} = (2 V_{\text{cap}} t_{\alpha}^2 / y |V_{\alpha}|) \cdot \epsilon_{\text{Si}} / \epsilon_{\alpha} \sim (V_{\text{cap}} \times 6 \times y / y |V_{\alpha}|) \text{ nm} \quad \dots (12)$$

例えば、 $y = 1/2$ ,  $|V_{\alpha}| = 20 \text{ V}$ ,  $y = 10 \text{ nm}$  とすると、 $x = 6 \text{ nm}$  となりそれ以上の厚さの浮遊ゲート 8 では n 型ウェル 2 及び 19 の表面で発生した電荷 Q は浮遊ゲート 8 の空乏層より制御ゲート側 9 ではシールドされる。

【0051】この場合でも、書き込み時に浮遊ゲート 8 のトンネル酸化膜 13 との界面で電子・正孔対が多量に発生すると、その電子がトンネル酸化膜 13 を経て Si 基板中 2 又は 9 に抜ける。すると、書き込み時にメモリセルのしきい値分布は広がってしまう。その対策として、書き込み時に制御ゲート 9 に与える高電圧パルスを細分化し、パルス幅の短い複数のパルスに分割する。電子・正孔対の発生時定数を  $\tau$  とすると、分割したパルスのパルス幅は  $\tau$  より短くするとよい。その場合、電子・正孔対は殆ど書き込み時に発生せず、メモリセルのしきい値分布は狭くなる。

【0052】他の実施形態として、浮遊ゲート 8 の p 型不純物の濃度は (11) 式より低いが、浮遊ゲート 8 の膜厚が薄く、書き込み時に浮遊ゲート 8 の図 4 の断面 A-A' で見た時全面空乏化させてしまう方式がありうる。

(実施形態 3) 図 6 に、本発明の第 3 の実施形態として、書き込み又は消去時に浮遊ゲートからソース又はドレインの拡散層に電子を抜く NOR 型の EEPROM への応用を示す。

【0053】p 型 Si 基板 1 上にソース・ドレインとなる n 型拡散層 21a, 21b が形成され、チャネル領域上にトンネル酸化膜 13 を介して浮遊ゲート 8 が形成され、その上にゲート間絶縁膜 14 を介して制御ゲート 9 が形成されている。そして、メモリセルのドレイン 21a はビット線に直接接続され、ソース 21b は共通ソース線に直接接続されるようになっている。

【0054】本実施形態においては、図 7 に示すようにメモリセルのしきい値分布は、“0”データ書き込みセルは読み出し時に制御ゲート 9 に与える電圧  $V_g$  (Rea

\* ウェル 2 又は 19 の表面は十分反転しており、 $\phi_s + V_{\text{cap}} = -V_{\text{cap}} + V_{\text{cap}} = 0$  となる、又例えば制御ゲート 9 を n 型多結晶 Si、浮遊ゲートを p 型多結晶 Si から成るとすると  $V_n + V_{n'} \sim 0$  となる。(9) 式に物理量を代入すると、

※と、

★一ギャップ以下になる。

【0050】この時の浮遊ゲート 8 中の空乏層の伸び X は、

d) より高く、“1”データ書き込みセルは 0 V から  $V_g$  (Read) の中に入っている必要がある。

【0055】図 8 に、セルアレイ (4 ビット) の等価回路を示す。図 8 にて丸で囲んだセルを選択に読み出す場合、非選択ワード線 WL1 を 0 V、共通ソース線 S も 0 V、選択ビット線 BL1 にある正の電位を与える。その時、ビット線が共通の非選択セルのしきい値が負であると、そのセルでビット線 BL1 とソース線 S の間に電流が流れてしまい誤読み出しする。よって、“1”データのしきい値は負にはならない。

【0056】このようなメモリセルにおいても、浮遊ゲート 8 にドーブする不純物を p 型不純物又はノンドーブにすると先の実施形態と同様に、浮遊ゲート 8 より拡散層 21 に抜ける電子の量を制御でき“1”データ書き込みセルのしきい値分布幅を狭くすることができる。

【0057】また、本発明におけるメモリセルユニットは前述した NAND セルや NOR セルに限るものではなく、複数のメモリセルを並列接続し、そのソース・ドレインの一方を選択ゲートを介してビット線に、他方を直接ソース線に接続した DINOR セルにも適用できる。さらに、ソース・ドレインの一方を選択ゲートを介してビット線に、他方をやはり選択ゲートを介してソース線に接続した AND セルにも適用できる。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することが可能である。

【0058】

【発明の効果】以上詳述したように本発明によれば、NAND セル等からなるメモリセルアレイを従来と反対の n 型ウェル内に集積形成し、電荷蓄積層をノンドーブ又は p 型不純物ドーブとし、“0”書き込み時、消去時に注入された全部の電子を電荷蓄積層より放出するようにしているので、書き込み終了後は電荷蓄積層の電荷量はどの“0”書き込みセルでも一定しており、よって  $V_{th}$  分布幅は非常に狭く制御できる。従って、ペリファイ回

数を減らす又はペリファイをなくして高速書き込みしてもメモリセルのしきい値分布幅を狭くすることができ、よって高速読み出しも可能にするEEPROMを実現することが可能となる。

【図面の簡単な説明】

【図1】第1の実施例に係るNAND型EEPROMのメモリセル構造を示す断面図。

【図2】第2の実施例に用いた不揮発性メモリセルの素子構造を示す断面図。

【図3】第1及び第2の実施例におけるメモリセルアレイの等価回路図。

【図4】第1及び第2の実施例における“0”書き込みセルの素子構造断面図。

【図5】図4のA-A'断面におけるエネルギーバンド図。

【図6】第3の実施例におけるメモリセル構造を説明するためのもので、浮遊ゲートより拡散層の電子を放出する時のバイアス関係を示すセル構造断面図。

【図7】第3の実施例におけるメモリセルのしきい値分布を示す図。

【図8】第3の実施例におけるメモリセルアレイの等価回路図。

\*

\* 【図9】本発明におけるNAND型EEPROMのセルのしきい値分布を示す図。

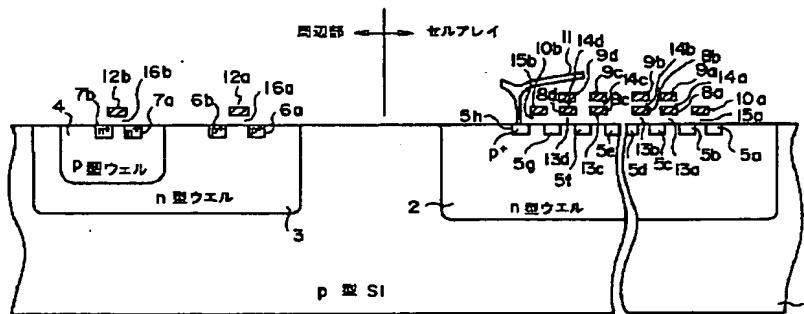
【図10】従来のNAND型EEPROMの“1”書き込み時の各ノードのバイアス関係を示すセルアレイ断面図。

【図11】従来のNAND型EEPROMのセルのしきい値分布を示す図。

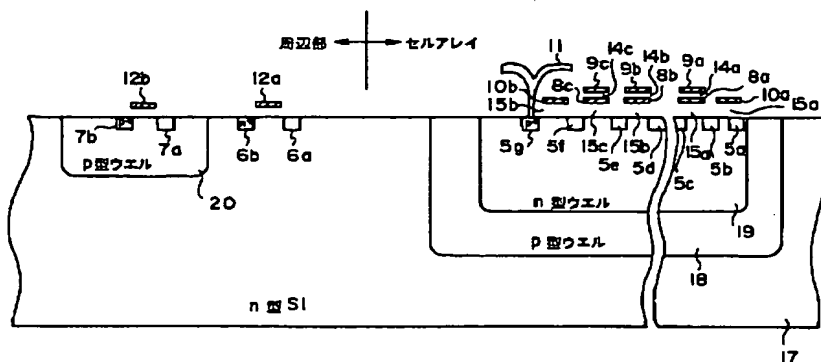
【符号の説明】

- 1…p型Si基板
- 2, 19…セルアレイ部のn型ウェル
- 3…周辺部のn型ウェル
- 4…p型ウェル
- 5, 21…n型拡散層
- 8…浮遊ゲート（電荷蓄積層）
- 9…制御ゲート
- 10…選択ゲート
- 13…トンネル酸化膜
- 14…ゲート間絶縁膜
- 15…ゲート絶縁膜
- 17…n型Si基板
- 18…セルアレイ部のp型ウェル

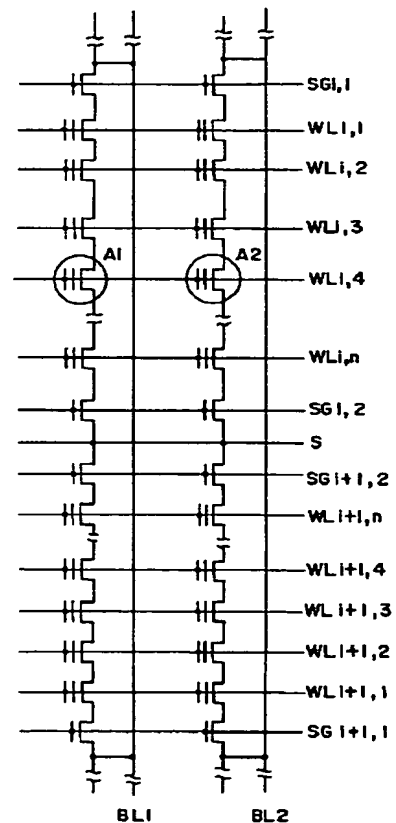
【図1】



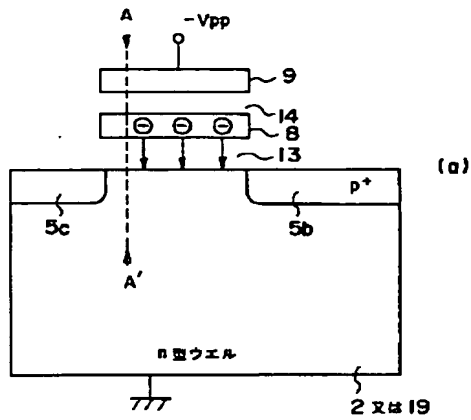
【図2】



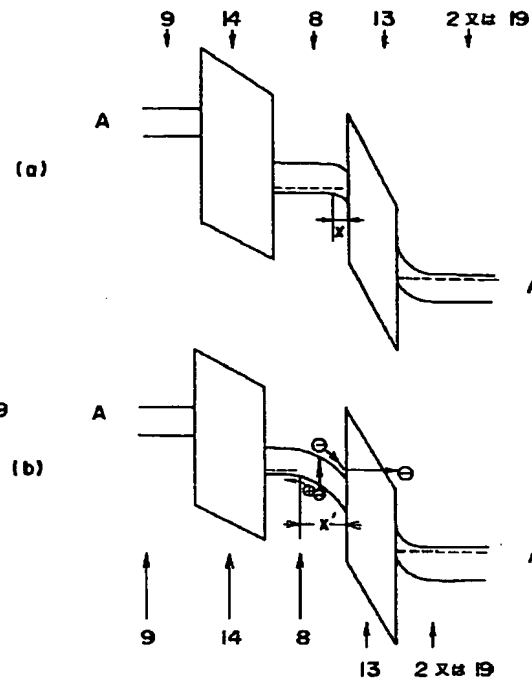
【図3】



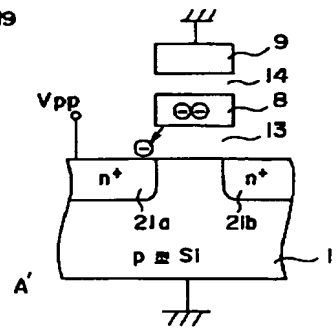
【図4】



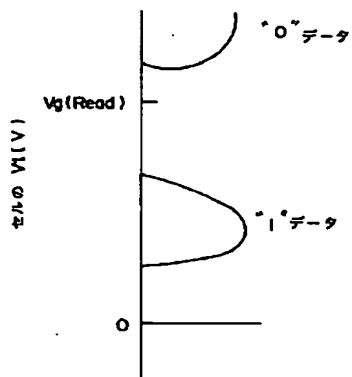
【図5】



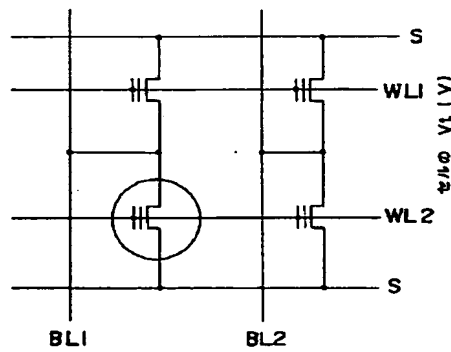
【図6】



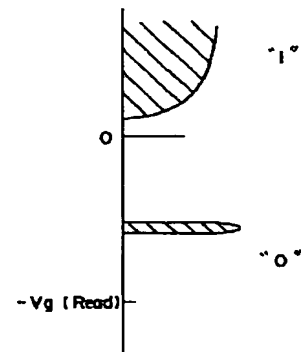
【図7】



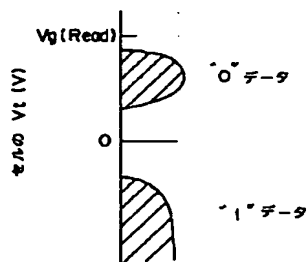
【図8】



【図9】



【図11】



【図10】

